

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-198817

(43)Date of publication of application : 03.09.1986

(51)Int.CI. H03K 19/08
H01L 27/06

(21)Application number : 60-271518

(71)Applicant : HITACHI LTD

(22)Date of filing : 04.12.1985

(72)Inventor : IWAMURA MASAHIRO
MASUDA IKUO

(30)Priority

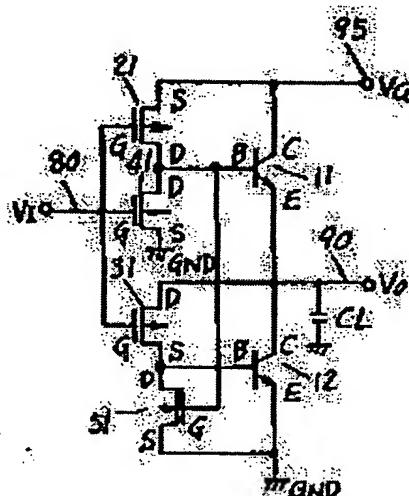
Priority number : 84 84115098 Priority date : 10.12.1984 Priority country : EP

(54) COMPOSITE CIRCUIT COMBINING BIPOLAR TRANSISTOR AND FIELD EFFECT TRANSISTOR

(57)Abstract:

PURPOSE: To reduce input capacity and to attain high speed operation by switching the 4th field effect transistor (TR) depending on output fluctuation.

CONSTITUTION: When an input V1 is switched from a low level to a high level, a PMOS 21 is turned on and an NMOS 71 is turned on and the base of the 1st NPN 11 goes to a low level, then the 1st NPN 11 and NMOS 51 are turned off. On the other hand, since an NMOS 31 is turned on, the 2nd NPN 12 is turned on and the output V0 is switched from a high level to a low level. When the input V1 is switched from a high level to a low level, the NMOS 31 and the 2nd NPN 12 are turned off. On the other hand, when the PMOS 21 is turned on and the NMOS 41 is turned off, then the base of the 1st NPN 11 is switched to high level, the 1st NPN and the NMOS 51 are turned on and the output V0 is switched from a low level to a high level. A gate G of the NMOS 51 is connected to a base B of the 1st NPN 11 so as to be responded to the output of a CMOS circuit comprising the PMOS 21 and the NMOS 41.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

⑪ 公開特許公報 (A) 昭61-198817

⑫ Int.Cl.

H 03 K 19/08
H 01 L 27/06

識別記号

103

府内整理番号

8326-5J
6655-5F

⑬ 公開 昭和61年(1986)9月3日

審査請求 未請求 発明の数 1 (全12頁)

⑭ 発明の名称 バイポーラトランジスタと電界効果トランジスタとを組み合わせた複合回路

⑮ 特願 昭60-271518

⑯ 出願 昭60(1985)12月4日

優先権主張 ⑭ 1984年12月10日 ⑮ 欧州特許機構 (E P) ⑯ 84115098.0

⑰ 発明者 岩村 将弘 日立市久慈町4026番地 株式会社日立製作所日立研究所内
 ⑱ 発明者 増田 郁郎 日立市久慈町4026番地 株式会社日立製作所日立研究所内
 ⑲ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
 ⑳ 代理人 弁理士 小川 勝男 外2名

明細書

発明の名称 バイポーラトランジスタと電界効果トランジスタとを組み合わせた複合回路

特許請求の範囲

1. 相補型電界効果トランジスタ論理回路と同一の論理機能を行なうバイポーラトランジスタと相補型電界効果トランジスタとの複合回路に於いて、一方導電型のコレクタが第1の電位、一方導電型のエミッタが出力手段に接続され、他方導電型のベースを有する第1のバイポーラトランジスタと、
- 一方導電型のコレクタが上記出力手段に、一方導電型のエミッタが第2の電位に接続され、他方導電型のベースを有する第2のバイポーラトランジスタと、
- 上記第1のバイポーラトランジスタのベース・コレクタ間に、上記相補型電界効果トランジスタ論理回路中に他方導電型電界効果トランジスタ回路と同一回路形式の第3の電界効果トランジスタ回路を設け、

ジスタ回路を設け、

2. 上記第2のバイポーラトランジスタのベース・コレクタ間に、上記相補型電界効果トランジスタ論理回路中の一方導電型電界効果トランジスタ回路と同一回路形式の第4の電界効果トランジスタ回路を設け、
3. 上記第2のバイポーラトランジスタのベースと上記第2の電位との間に、ゲートが上記出力手段に接続される一方導電型の第4の電界効果トランジスタ回路を設け、
4. 上記第1、第2、第3の電界効果トランジスタ回路には、上記相補型電界効果トランジスタ論理回路中の対応する電界効果トランジスタと同一の入力を印加することを特徴とする複合回路。

2. 特許請求の範囲第1項に於いて、電界効果トランジスタはMOSトランジスタであることを特徴とする複合回路。

3. 特許請求の範囲第1項に於いて、論理回路はインバータ回路であることを特徴とする複合回路。

4. 特許請求の範囲第1項に於いて、論理回路はNAND回路であることを特徴とする複合回路。

5. 特許請求の範囲第1項に於いて、論理回路はNOR回路であることを特徴とする複合回路。

6. 特許請求の範囲第1項に於いて、上記一方導電型はN型であり、上記他方導電型はP型であり、かつ、上記第1の電位は上記第2の電位より大きいことを特徴とする複合回路。

発明の詳細な説明

【産業上の利用分野】

本発明は複合回路に係り、特にバイポーラトランジスタと電界効果トランジスタとを組み合わせた複合回路に関する。

【従来の技術】

相補型電界効果トランジスタを用いた論理回路

202. NPNバイポーラトランジスタ（以下單にNPNと称す）211、PNPバイポーラトランジスタ（以下單にPNPと称す）212から構成される。この回路に於いては、入力221が“0”レベルの時、PMOS201はオンとなりNMOS202はオフとなる。したがつてNPN211とPNP212のベース電位を上昇し、NPNはオンとなりPNP212はオフとなり、出力222は“1”レベルとなる。入力221が“1”レベルの時、PMOS201はオフとなりNMOS202はオンとなる。したがつてNPN211とPNP212のベース電位が低下し、NPN211はオフとなりPNP212はオンとなり、出力222は“0”レベルとなる。

【発明が解決しようとする問題点】

しかし、バイポーラトランジスタがNPN211とPNP212の相補型を用いており、そのスイッチング特性を合わせるのが困難である。

また、アイ・イー・イー・イー トランザクション エレクトロン デバイス、1969年11月、

としては、第1図(a)に示す様にインバータ回路、第1図(b)に示す様な2入力NAND回路等のNAND回路、第1図(c)に示す様な2入力NOR回路等のNOR回路がよく知られている。第1図に於いて、101,102,103,104,105はP-チヤネル絶縁ゲート電界効果トランジスタ（または、P-チヤネル金属・酸化膜・半導体電界効果トランジスタとも言うが以下單にPMOSと称す）であり、106,107,108,109,110はN-チヤネル絶縁ゲート電界効果トランジスタ（または、N-チヤネル金属・酸化膜・半導体電界効果トランジスタと言うが、以下單にNMOSと称す）である。

第1図に示す様な相補型電界効果トランジスタ論理回路と同一の論理機能を行う、相補型電界効果トランジスタとバイポーラトランジスタとを組み合わせた複合回路としては、例えば第2図に示す様なインバータ回路が知られている。（例えば、U.S.P.3,541,353 参照）

このインバータ回路はPMOS201, NMOS

p 945~951 (IEEE Trans Electron Devices, vol. ED-16, No. 11, Nov. 1969, p 945~951) のFig. 8 には、第3図に示す様なインバータ回路が記載されている。

このインバータ回路はPMOS201, NMOS202、第1のNPN301、第2のNPN302から構成される。このインバータ回路では第1及び第2のNPN301, 302がオフになると、ベースに蓄積した寄生電荷を強制的に抜取る手段がないため第1, 第2のNPN301, 302がオフに切換わる時間が長くなる。そのため第1, 第2のNPN301, 302がともにオンとなる状態が長く続き、消費電力が増加するだけでなくスイッチング時間も遅くなる。

さらに、上記文献のFig. 10 には、第4図に示す様なインバータ回路が記載されている。第4図のインバータ回路は、第3図のインバータ回路に、NMOS203及びPMOS204を設けた構成となつていて、NMOS203は第1のNPN301がオンからオフになると、ベース

に蓄積した寄生電荷を強制的に抜取る手段を構成し、PMOS 204は第2のNPN 302がオンからオフになると、ベースに蓄積した寄生電荷を強制的に抜取る手段であり、これらによつてFig. 2のインバータ回路よりは、若干、高速性が得られるが、NMOS 203とPMOS 204が入力INに接続されるので、入力容量が大きくなり、回路の高速性が得られないという問題がある。

これらの従来の技術では、バイポーラトランジスタと電界効果トランジスタとの各々の特徴を活かした低消費電力性と高速性が得られないという問題点がある。

本発明の目的は、以上述べた様な従来の複合回路の欠点を除去し、バイポーラトランジスタ及び電界効果トランジスタからなる高速で低消費電力の複合回路を提供することにある。

〔問題点を解決するための手段〕

上記目的を達成する本発明の特徴とするとところは、相補型電界効果トランジスタ論理回路と同一

の論理機能を行うバイポーラトランジスタと相補型電界効果トランジスタとの複合回路に於いて、

- ・一方導電型のコレクタが第1の電位に、一方導電型のエミッタが出力に接続される第1のバイポーラトランジスタと。
- ・一方導電型のコレクタが上記出力に、一方導電型のエミッタが第2の電位に接続される第2のバイポーラトランジスタとを有し、
- ・上記第1のバイポーラトランジスタのベース・コレクタ間に、上記相補型電界効果トランジスタ論理回路中の他方導電型電界効果トランジスタ回路と同一回路形式の第1の電界効果トランジスタ回路を設け、
- ・上記第1のバイポーラトランジスタのベースと上記第2の電位との間に上記相補型電界効果トランジスタ論理回路中の一方導電型電界効果トランジスタ回路と同一回路形式の第2の電界効果トランジスタ回路を設け、
- ・上記第2のバイポーラトランジスタのベース・コレクタ間に、上記相補型電界効果トランジス

〔実施例〕

次に本発明を実施例に基づき具体的に説明する。

〔実施例1〕

第5図は本発明の一実施例を示す回路図である。図において、21は他方導電型電界効果トランジスタであるPMOS、31、41、51は一方導電型電界効果トランジスタであるNMOS、11、及び12は第1、及び第2のNPNである。

第1のNPN 11のNコレクタCは、第1の電位となる電源電位Vccの電源端子95に接続され、NエミッタEは出力V。の端子90に接続される。

第2のNPN 12のNコレクタCは、出力V。の端子90に接続され、NエミッタEは第2の電位となる接地電位GNDに接続される。

第1のNPN 11のベースB・コレクタC間に、Fig. 1 (a)に示すCMOSインバータ回路中のPMOS 101と同一回路形式のPMOS 21が設けられる。即ち、PMOS 21のソースSは電源端子95及び第1のNPN 11のコレクタCに、また、ドレインDは第1のNPN 11の

タ論理回路中的一方導電型電界効果トランジスタと同一回路形式の第3の電界効果トランジスタ回路を設け、

- ・上記第2のバイポーラトランジスタのベースと上記第2の電位との間に、上記第1の電界効果トランジスタ回路と上記第2の電界効果トランジスタ回路とによって構成される相補型電界効果トランジスタ回路の出力に応答する一方導電型の第4の電界効果トランジスタ回路を設け、
- ・上記第1、第2、第3の電界効果トランジスタ回路には、上記相補型電界効果トランジスタ論理回路中の対応する電界効果トランジスタと同一の入力を印加することにある。

本発明の他の目的及び特徴は、以上に述べる実施例の説明から明らかとなろう。

〔作用〕

第4の電界効果トランジスタは、出力の変動によつてスイッチングされる。従つて、入力容量が小さくなり、高速動作が可能となる。

ベースBに接続される。

第1のNPN11のベースBと接地電位GNDとの間に、Fig. 1 (a) に示すCMOSインバータ回路中のNMOS106と同一回路形式のNMOS41が設けられる。即ち、NMOS41のドレインDは第1のNPN11のベースB、及びPMOS21のドレインDに、またソースSは接地電位GNDに接続される。

第2のNPN12のベースB・コレクタC間に、Fig. 1 (a) に示すCMOSインバータ回路中のNMOS106と同一回路形式のNMOS31が設けられる。即ち、NMOS31のドレインDは、第2のNPN12のコレクタC、第1のNPN11のエミッタE、及び出力端子80に、また、ソースSは第2のNPN12のベースBに接続される。

第2のNPN12のベースBと接地電位GNDとの間に、PMOS21とNMOS41とによって構成されるCMOSインバータ回路の出力に応答するNMOS51が設けられる。即ち、NMOS

フとなる。一方、PMOS21がオンとなり、NMOS41がオフとなるため、第1のNPN11のベースは高レベルにスイッチし、第1のNPNとNMOS51がオンする。したがつて出力V_oは低レベルから高レベルにスイッチする。

ここでNMOS51の働きは高速スイッチングのために重要である。NMOS51はダイナミックディステーミング回路として作用する。すなわち、入力V_iが低レベルから高レベルにスイッチするときPMOS21はオフし、NMOS41がオンし、NMOS51のゲートGは高レベルから低レベルにスイッチするためNMOS51はオフになる。したがつて、第2のNPN12のベースBと接地電位GNDは電流バスが無いため出力V_o。よりNMOS31を通して流れる電流はすべて第2のNPN12のベースBに流れるため、第2のNPN12は高速にターン・オンできる。

次に、入力V_iが高レベルから低レベルにスイッチするとき、PMOS21はオンし、かつNMOS41がオフしNMOS51のゲートGは

51のゲートGは、PMOS21とNMOS41とによって構成されるCMOSインバータ回路の出力に応答する様に、第1のNPN11のベースBに接続され、NMOS51のドレインDはNMOS31のソースS及び第2のNPN12のベースBに接続され、NMOS51のソースSは接地電位GND及び第2のNPN12のエミッタEに接続される。尚、PMOS21、NMOS31、41の各ゲートは、入力V_iの端子80に接続されている。

次に本実施例インバータ回路の動作を説明する。いま、入力V_iが低レベルから高レベルにスイッチするとPMOS21はオフ、NMOS41はオンとなり、第1のNPN11のベースは低レベルとなるため第1のNPN11およびNMOS51はオフとなる。一方、NMOS31がオンとなるため、第2のNPN12がオンし、出力V_oは高レベルから低レベルへスイッチする。

次に、入力V_iが高レベルから低レベルにスイッチするとNMOS31、第2のNPN12がオ

低レベルから高レベルにスイッチするため、NMOS51はオンになる。したがつて、第2のNPN12のベースBは低インピーダンスで接地され、ベース領域の寄生電荷を速やかに放電する。このため、第2のNPN12のターンオフが速やかに行われ、第1のNPN11から流れる電流はすべて負荷C_Lの充電電流になり、高速に充電が行われる。

いま、入力V_iが高レベルのとき、PMOS21と第1のNPN11がオフであり、入力V_iが低レベルのときNMOS31と第2のNPN12がオフである。したがつて、本実施例のインバータ回路はCMOS回路と同様に定常状態では電力を消費しない。

ここで、第5図に於いて、NMOS51のゲートGが入力V_iの端子80には接続されるのではなく、PMOS21及びNMOS41で構成されるCMOS回路の出力に応答するように第1のNPN11のベースBに接続されていることに注目されたい。即ち、第4図の従来技術に比して入

力 V_i の端子に接続されるゲート数が少なく、第 5 図では、入力容量が小さく、高速にスイッチングされる。

さらに、第 5 図に於いて NMOS 41 のソース S が第 2 の電位となる接地電位 GND に接続されることにも注目されたい。入力 V_i が低レベルから高レベルにスイッチすると、PMOS 21 はオフし、NMOS 41 がオンになるので第 1 の NPN 11 のベース B は低インピーダンスに接続され、ベース領域の寄生電荷を速やかに放電する。即ち、第 1 の NPN 11 のベース B 領域の寄生電荷は、第 2 の NPN 12 に何ら影響することなく、接地電位に放電されるので、Fig.4 の従来の技術に比して、より高速なスイッチング動作となる。

第 6 図は本実施例インバータ回路の入出力特性を示してある。回路の論理スレッショルド電圧 V_{LT} は通常電源電圧の $1/2$ の値に設定するが、用途により V_{LT} を変える場合は第 5 図の PMOS 21 と NMOS 41 のサイズ比を選択することにより、容易に V_{LT} を変えることができる。

21 の基板 173 は N+ 抵抗 176 によりオーミックコンタクトがとられ、電源 V_{cc} の端子 95 に接続される。NMOS 41 は N 型エピタキシャル層上に P 型抵抗によりウエル領域 180 が形成され、その中に N+ 抵抗によりソース 181、ドレン 182 が形成される。NMOS 41 の基板 180 は P+ 抵抗 183 によりオーミックコンタクトがとられ、接地電位に接続される。なお、177, 184 は夫々、PMOS, NMOS のゲート電極であり、ポリシリコンで形成される。

第 1 の NPN 11 は N 型エピタキシャル層 190 をコレクタとし、N+ 抵抗 191 によりオーミックコンタクトをとつて電源 V_{cc} の端子 95 に接続される。ベースは P 型ベース抵抗 192 により形成され、その中に N+ 抵抗 193 によりエミッタが形成される。

なお、図中、NBL とあるのは N+ 型高濃度埋込み層であり、主として第 1 の NPN 11 のコレクタ抵抗を小さくするために使われている。

<実施例 2>

第 7 図は、第 1 図 (a) の CMOS インバータと第 5 図の本実施例インバータ回路の負荷容量 C_L に対する遅延時間特性を示す。図中 (A) は第 1 図 (a) の CMOS インバータ回路の遅延時間特性であり、(B) は第 5 図の本実施例インバータの遅延時間特性である。図より明らかのように第 5 図の本実施例インバータ回路は微少負荷領域 C_L 以下では CMOS インバータより僅かに遅くなるが、高駆動能力を要求される高負荷領域でははるかに高速であることがわかる。

第 8 図は第 5 図の回路を実現するためのデバイス断面構造を示し、第 5 図と同一部分は同一番号を付している。なお、図面の複雑化を避けるため第 5 図の PMOS 21, NMOS 41, 第 1 の NPN 11 の部分のみ第 8 図に示されている。

第 8 図において、170 は P 型半導体基板。171 は素子相互間を分離するための P 型分離層である。PMOS 21 は N 型エピタキシャル層 173 を基板として P+ 抵抗 174, 175 によりドレン、ソース領域が形成される。PMOS

第 9 図は本発明の第 2 の実施例となる 2 入力 NAND 回路である。

11 及び 12 は第 5 図と同様の第 1 及び第 2 の NPN, 21, 22 は PMOS, 31, 32, 41, 42, 51 は NMOS である。

第 5 図と同様に、第 1 の NPN のコレクタ C は第 1 の電位となる電源電位 V_{dd} の電源端子 95 に接続され、エミッタ E は出力 V_o の端子 90 に接続される。第 2 の NPN 12 のコレクタ C は出力 V_o の端子 90 に接続され、エミッタ E は第 2 の電位となる接地電位 GND に接続される。

第 1 の NPN 11 のベース B - コレクタ C 間には、第 1 図 (b) に示す CMOS - 2 入力 NAND 回路中の PMOS 102, 103 回路と同一回路形式の PMOS 21, 22 の並列回路が設けられる。即ち、PMOS 21, 22 のソース S は電源端子 95 及び第 1 の NPN 11 のコレクタ C に、また、ドレン D は第 1 の NPN 11 のベースに接続される。

第 1 の NPN 11 のベース B と接地電位 GND

との間に、第1回(b)に示すCMOS・2入力NAND回路中のNMOS107, 108と同一回路形式のNMOS41, 42の直列回路が設けられる。即ち、NMOS41のドレインDは第1のNPN11のベースB、PMOS21, 22のドレインDに、またNMOS41のソースSはNMOS42のドレインDに接続される。NMOS42のソースSは、第2の電位となる接地電位GNDに接続される。

第2のNPN12のベースB・コレクタC間に、第1回(b)に示すCMOS・2入力NAND回路中のNMOS107, 108と同一回路形式のNMOS31, 32の直列回路が設けられる。即ち、NMOS31のドレインDは、第2のNPN12のコレクタC及び出力V_oの端子80に、またNMOS31のソースSはNMOS32のドレインDに接続される。NMOS32のソースSは、第2のNPN12のベースBに接続される。

第2のNPN12のベースBと接地電位GND

との間に、PMOS21, 22の並列回路とNMOS41, 42の直列回路とによって構成されるCMOS・2入力NAND回路の出力に応答するNMOS51が設けられる。即ち、NMOS51のゲートGは、PMOS21, 22の並列回路とNMOS41, 42の直列回路とによって構成されるCMOS・2入力NAND回路の出力に応答する様に、第1のNPN11のベースBに接続され、NMOS51のドレインDはNMOS51のソースS及び第2のNPN12のベースBに接続され、NMOS51のソースSは接地電位GND及び第2のNPN12のエミッタEに接続される。

PMOS21, 22の並列回路、NMOS31, 32の直列回路、NMOS41, 42の直列回路には、第1回(b)のCMOS・2入力NAND回路中の対応するNMOS, PMOSと同一の入力V₁が入力端子80, 81から印加される。

次に本実施例2入力NAND回路の動作を説明する。

表1は本実施例の論理動作を示すものである。

表1

入力	第1NPN				第2NPN				出力
	PMOS 80, 81	NMOS 21, 22	NMOS 31, 32	NMOS 41, 42	PMOS 80, 81	NMOS 21, 22	NMOS 31, 32	NMOS 41, 42	
どちらかが "0"	どちらかが "0"	どちらかが "0"	どちらかが "0"	どちらかが "0"	どちらかが "1"	どちらかが "1"	どちらかが "1"	どちらかが "1"	オフ
どちらかが "1"	どちらかが "1"	どちらかが "1"	どちらかが "1"	どちらかが "1"	どちらかが "0"	どちらかが "0"	どちらかが "0"	どちらかが "0"	オン

まず、入力80, 81のどちらかが“0”レベルの時、PMOS21, 22のどちらかがオンになり、NMOS41, 42のどちらかがオフとなる。従つてPMOS21, 22のうちのオンした方を通して流れれる電流は、NMOS41, 42のうちのオフした方で阻止されるので、第一のNPN11のベース及びNMOS51のゲートG以外には殆んど流れず、第一のNPN11のベース電位及びNMOS51のゲート電位が上昇し、第一のNPN11及びNMOS51はオンとなる。この時、NMOS31, 32のうちどちらかがオフとなるので第二のNPN12へのベース電流の供給が止まると共に、NMOS51がオンとなるので、第2のNPN12のベースBは低インピーダンスに接地され、ベース領域の寄生電荷を速やかに放電する。つまり、第二のNPN12はオフとなる。従つて、第一のNPNのエミッタ電流は出力端子90に接続される負荷(図示せず)を充電し、出力V_oは急速に“1”レベルとなる。

入力80, 81の双方が“0”レベルの時、

11がオンする時、NMOS41、あるいは、42がオフしているので、PMOS21あるいは22の電流が全て第一のNPN11のベース及びNMOS51のゲートに流れるので、第一のNPN11が急速にオンする。また第1のNPN11がオフする時、第1のNPN11のベース回りの電荷が、オン状態のNMOS41, 42を介して、接地電位GNDに引抜かれるので第一のNPN11が急速にオフし、第一のNPN11と第二のNPN12が同時にオンしている時間が従来に比して短くなり、貫通電流が減少し消費電力が小さくなる。更に、第二のNPN12は貫通電流が殆んどないので出力V_oの端子90に付く電荷のみをコレクタ電流として流せば良いので高速化が図れる。

尚、本実施例では二入力NAND回路を例にとつて説明したが、三入力NAND回路、四入力NAND回路等の一般の二入力NAND回路に本発明は適用できる。

〈実施例3〉

PMOS21, 22の双方がオンとなり、NMOS41, 42及びNMOS31, 32が双方オフとなる。従つて、動作は上記と同じで出力V_oは“1”レベルとなる。

一方、入力80, 81の双方が“1”レベルの時、PMOS21, 22の双方がオフとなり、NMOS41, 42の双方がオンとなる。このとき、PMOS21, 22が共にオフとなるので第一のNPN11へのベース電流の供給が止まり、第1のNPN11のベース蓄積電荷及び、PMOS21, 22と第1のベースがもつ寄生容量の電荷がNMOS41, 42を介して接地電位GNDに抜取られるので、第一のNPN11は急速にオフになる。さらに、NMOS51もオフとなる。また、NMOS31, 32がオンになり、ドレインとソースとの間が短絡されるので、第二のNPN12のベースに“1”レベルの出力端子90から電流が供給され第二のNPN12は急速にオンとなる。従つて、出力V_oの端子90は急速に“0”レベルとなる。本実施例によれば、第1のNPN

第10図は本発明の第3の実施例となる2入力NOR回路である。

11及び12は第5図、第7図と同様の第1及び第2のNPN、21, 22はPMOS、31, 32, 41, 42, 51はNMOSである。

第5図、第9図と同様に、第1のNPNのコレクタCは第1の電位となる電源電位V_{cc}の電源端子95に接続され、エミッタEは出力V_oの端子90に接続される。第2のNPN12のコレクタCは出力V_oの端子90に接続され、エミッタEは第2の電位となる接地電位GNDに接続される。

第1のNPN11のベースB・コレクタC間に、第1図(a)に示すCMOS・2入力NOR回路中のPMOS104, 105の直列回路と同一回路形式のPMOS21, 22の直列回路が設けられる。即ち、PMOS21のソースSは電源端子95及び第1のNPN11のコレクタCに、また、ドレインDはPMOS22のソースSに接続される。PMOS22のドレインDは第1のNPN11のベースに接続される。

第1のNPN11のベースBと接地電位GNDとの間に、第1図(c)に示すCMOS・2入力NOR回路中のNMOS109, 110と同一回路形式のNMOS41, 42の並列回路が設けられる。即ち、NMOS41, 42のドレインDは第1のNPN11のベースB、PMOS22のドレインDに、またNMOS41, 42のソースSは、第2の電位となる接地電位GNDに接続される。

第2のNPN12のベースB・コレクタC間にには、第1図(c)に示すCMOS・2入力NAND回路中のNMOS109, 110と同一回路形式のNMOS31, 32の並列回路が設けられる。即ち、NMOS31, 32のドレインDは、第2のNPN12のコレクタC及び出力Voの端子80に、またNMOS31, 32のソースSは、第2のNPN12のベースBに接続される。

第2のNPN12のベースBと接地電位GNDとの間に、PMOS21, 22の直列回路とNMOS41, 42の並列回路とによって構成さ

れるCMOS・2入力NOR回路の出力に応答するNMOS51が設けられる。即ち、NMOS51のゲートGは、PMOS21, 22の直列回路とNMOS41, 42の並列回路とによって構成されるCMOS・2入力NOR回路の出力に応答する様に、第1のNPN11のベースBに接続され、NMOS51のドレインDはNMOS31, 32のソースS及び第2のNPN12のベースBに接続され、NMOS51のソースSは接地電位GND及び第2のNPN12のエミッタEに接続される。

PMOS21, 22の直列回路、NMOS31, 32の並列回路、NMOS41, 42の並列回路には、第1図(c)のCMOS・2入力NOR回路中の対応するNMOS, PMOSと同一の入力Viが入力端子80, 81から印加される。

次に本実施例2入力NOR回路の動作を説明する。

表2は本実施例の論理動作を示すものである。

2 構

入力	PMOS 80, 81 両方オフ	NMOS 21, 22 両方オフ	第1のNPN		第2のNPN		出力 "0" "1"
			NMOS 51 オフ	NMOS 11 オン	PMOS 12 オフ	NMOS 31 オフ	
"0" "0"	オフ	オフ	どちらかが どちらかが "1"	どちらかが "1"	オフ	オフ	オフ
"0" "1"	オフ	オフ	どちらかが "1"	どちらかが "1"	オフ	オフ	オフ
"1" "0"	オフ	オフ	どちらかが "1"	どちらかが "1"	オフ	オフ	オフ
"1" "1"	オフ	オフ	どちらかが "1"	どちらかが "1"	オフ	オフ	オフ

まず、入力Viの端子80, 81の両方が"0"レベルの時、PMOS21, 22の両方がオンになり、NMOS41, 42の両方がオフとなる。従つて、PMOS21, 22を通して流れれる電流は、NMOS41, 42で阻止されるので、第一のNPN11のベースB及びNMOS51のゲートG以外には殆んど流れず、第一のNPN11のベース電位及びNMOS51のゲート電位が急速に上昇し、第一のNPN11及びNMOS51はオンとなる。この時、NMOS31, 32は共にオフとなるので第二のNPN12への電流の供給が止まると共に、NMOS51がオンとなるので、第二のNPN12のベースBは低インピーダンスに接地され、ベース領域の寄生電荷を速やかに放電する。つまり、第二のNPN12はオフになる。従つて、第一のNPN11のエミッタ電流は出力端子90に接続される負荷(図示せず)を充電し出力Voは急速に"1"レベルとなる。

入力80, 81のどちらかが"1"レベルの時、PMOS21, 22のどちらかがオフになり、

NMOS 41, 42のどちらかがオンとなるので第一のNPN11へのベース電流の供給が止まり、NPN11のベース蓄積電荷及び、PMOS21, 22と第1のNPN11のベースBがもつ寄生容量の電荷がNMOS41, 42のうちのオンしている方を介して接地電位GNDに抜取られるので第一のNPN11は急速にオフになる。さらに、NMOS51もオフとなる。また、NMOS31, 32のうちどちらかがオンとなり、ドレインとソースとの間が短絡されるので、第二のNPN12のベースに“1”レベルの出力V_oの端子90から電流が供給され、第二のNPN12は急速にオンとなる。

従つて、出力V_oの端子90は急速に“0”レベルとなる。

入力80, 81の両方が“1”レベルの時、PMOS21, 22の両方がオフとなり、NMOS31, 32, 41, 42の起てがオンとなる。従つて動作は上記と同様で出力V_oの端子90は“0”レベルとなる。

に、第1のNPN11のエミッタEに接続される。

＜実施例5＞

第12図は本発明の第5の実施例となる2入力NAND回路である。

第9図の第2の実施例と異なる点は、NMOS51のゲートGが、第1のNPN11のエミッタE、出力V_oの端子90、第2のNPN12のコレクタ12に接続されている点のみであり、その他の構成及び論理動作は第2の実施例と同じである。

第12図に於いて、NMOS51のゲートGは、PMOS21, 22の並列回路とNMOS41, 42の直列回路とによって構成される2入力NAND回路の出力に応答する様に、第1のNPN11のエミッタEに接続される。

尚、本実施例では二入力NAND回路を例にとつて説明したが、三入力NAND回路、四入力NAND回路等の一般のk入力NAND回路に本発明は適用できる。

＜実施例6＞

本実施例では、二入力NOR回路を例にとつて説明したが、三入力NOR回路、四入力NOR回路等の一般のk入力NOR回路に本発明は適用できる。

本実施例によれば、第一及び第二の実施例と同様な効果が達成でき、半導体集積回路装置を構成する上で必須のNOR回路が実現できるのでその効果は大きい。

＜実施例4＞

第11図は本発明の第4の実施例となるインバータ回路である。

第5図の第1の実施例と異なる点は、NMOS51のゲートGが、第1のNPN11のエミッタE、出力V_oの端子90、第2のNPN12のコレクタ12に接続されている点のみであり、その他の構成及び論理動作は第1の実施例と同じである。

第11図に於いて、NMOS51のゲートGは、PMOS21とNMOS41とによって構成されるCMOS・インバータ回路の出力に応答する様

第13図は本発明の第6の実施例となる2入力NOR回路である。

第10図の第3の実施例と異なる点は、NMOS51のゲートGが、第1のNPN11のエミッタE、出力V_oの端子90、第2のNPN12のコレクタ12に接続されている点のみであり、その他の構成及び論理動作は第3の実施例と同じである。

第13図に於いて、NMOS51のゲートGは、PMOS21, 22の直列回路とNMOS41, 42の並列回路とによって構成される2入力NOR回路の出力に応答する様に、第1のNPN11のエミッタEに接続される。

本実施例では二入力NOR回路を例にとつて説明したが、三入力NOR回路、四入力NOR回路等の一般のk入力NOR回路に本発明は適用できる。

本発明はその思想の範囲内で更に種々の変形例が考えられる。

例えば、バイポーラトランジスタとしてショット

トキーバリヤダイオード付のバイポーラトランジスタを用いることも可能であり、本発明被分回路を出力パシフア、あるいは、入力パシフア回路として使用することもできる。

また、本発明の実施例では、論理回路としてNAND回路、NOR回路のみを用いて説明したが、これらの回路の前段に、例えば、CMOSトランジスタにより論理ゲート回路を組合わせて接続すれば、AND回路、OR回路等の他の論理ゲート回路や、組合わせ論理回路や、フリップフロップ、シフトレジスタ、ラッチ回路等の順序論理回路等を構成することも可能であり、これらは本発明の思想の範囲に含まれるものである。

【発明の効果】

本発明によれば、電界効果トランジスタ及びバイポーラトランジスタからなる高速で低消費電力の複合回路を得ることができる。

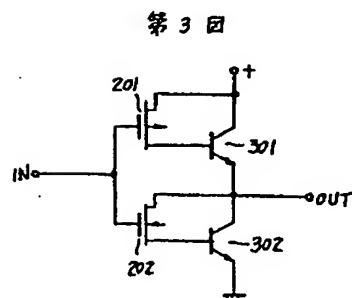
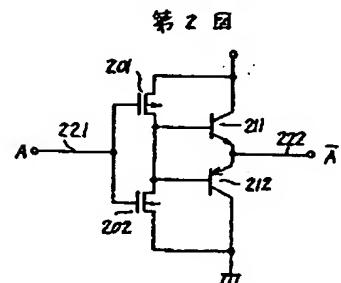
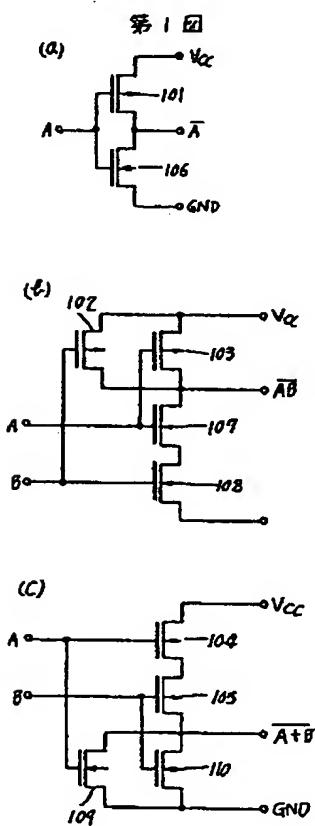
図面の簡単な説明

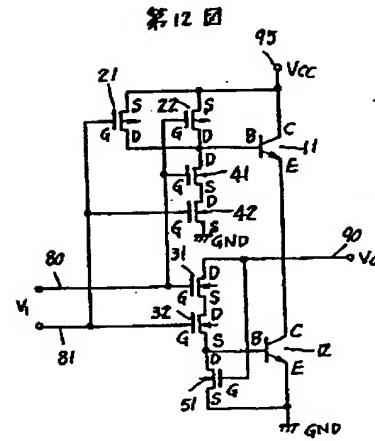
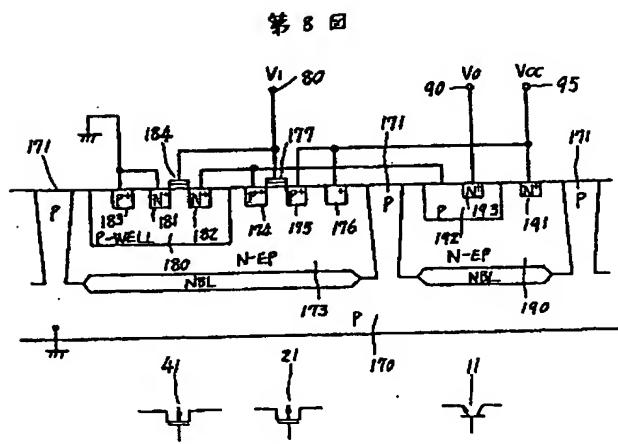
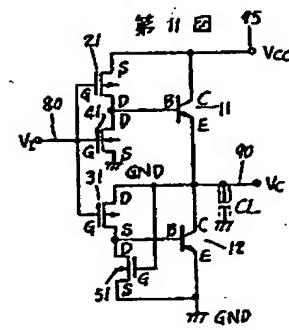
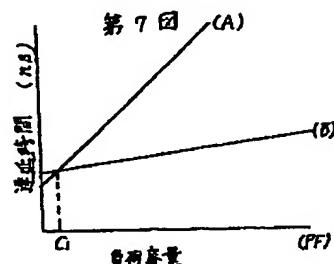
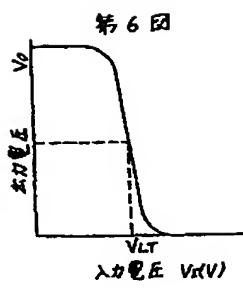
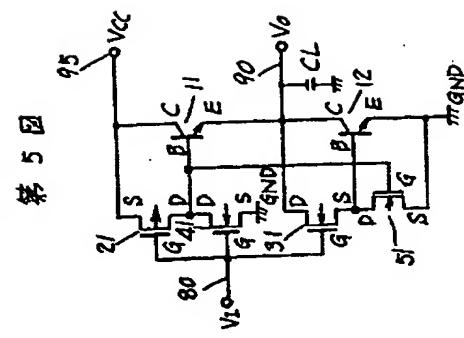
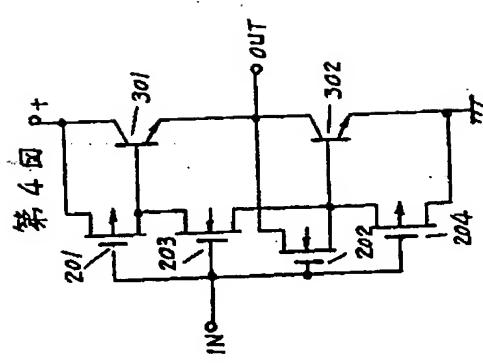
第1図は従来の技術であるCMOS論理回路を示す図、第2図、第3図、第4図は従来の技術で

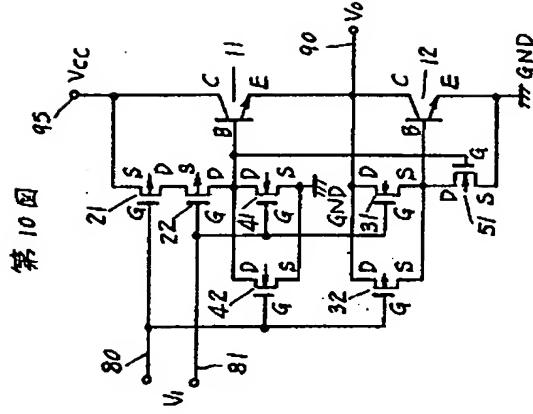
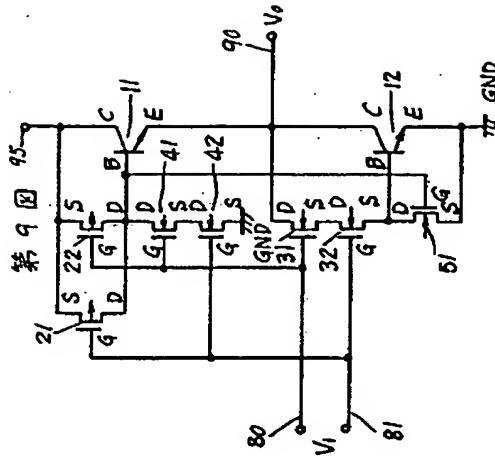
あるインバータ回路を示す図。第5図は本発明の第1の実施例となるインバータ回路を示す図。第6図は第5図のインバータ回路の伝達特性を示す図。第7図は第5図のインバータ回路の遅延時間特性を示す図。第8図は第5図のインバータ回路のデバイス断面構造を示す図。第9図は本発明の第2の実施例となる2入力NAND回路を示す図。第10図は本発明の第3の実施例となる2入力NOR回路を示す図。第11図は本発明の第4の実施例となるインバータ回路を示す図。第12図は本発明の第5の実施例となる2入力NAND回路を示す図。第13図は本発明の第6の実施例となる2入力NOR回路を示す図である。

1 1, 1 2 … NPNバイポーラトランジスタ。
2 1, 2 2 … PMOSトランジスタ、3 1, 3 2, 4 1, 4 2, 5 1 … NMOSトランジスタ。

代理人弁理士 小川勝男







第13回

